

**PENGEMBANGAN BER *TESTER* PADA SISTEM VISIBLE LIGHT
COMMUNICATION BERBASIS FPGA**

SKRIPSI

Diajukan sebagai salah satu syarat
Untuk memperoleh gelar
Sarjana Teknik



Oleh:

ANNISA HANIFA
NIM. I0716006

**PROGRAM STUDI TEKNIK ELEKTRO
FAKULTAS TEKNIK UNIVERSITAS SEBELAS MARET
SURAKARTA**

2020

commit to user



KEMENTERIAN PENDIDIKAN DAN KEBUDAYAAN
UNIVERSITAS SEBELAS MARET
FAKULTAS TEKNIK

PROGRAM STUDI TEKNIK ELEKTRO
Jalan. Ir. Sutami nomor 36 A Ketingan Surakarta 57126
Telepon: 0271 647069 psw 438, faksimili: 0271 662118

SURAT TUGAS

Nomor : 055/TA/TE/2019

Kepala Program Studi Teknik Elektro Fakultas Teknik Universitas Sebelas Maret
memberikan tugas kepada :

Nama : **Annisa Hanifa**
NIM : **I0716006**
Bidang peminatan : **Teknologi Informasi dan Komunikasi (ICT)**
Pembimbing Utama : **Muhammad Hamka Ibrahim, S.T., M.Eng**
NIP. 198812292019031011
Pembimbing Pendamping : **Subuh Pramono, S.T., M.T**
NIP. 198106092003121002
Mata kuliah pendukung : **1. Perancangan Sistem Digital**
2. Teknik Pengolahan Isyarat Digital
3. Sistem Tertanam dan Periferal

untuk mengerjakan dan menyelesaikan Tugas Akhir dengan judul :
Pengembangan BER Tester pada Sistem Visible Light Communication
Berbasis FPGA

Surat tugas ini dibuat untuk dilaksanakan dengan sebaik-baiknya.

Surakarta, 27 Januari 2020

Kepala Program Studi

Feri Adriyanto, S.Si., M.Si., Ph.D.

NIP. 196801161999031001

Tembusan:

1. Mahasiswa ybs.
2. Dosen Pembimbing TA
3. Koordinator TA
4. Arsip

**SURAT PERNYATAAN
ORISINALITAS KARYA ILMIAH**

Saya mahasiswa Program Studi Teknik Elektro Universitas Sebelas Maret yang bertanda tangan dibawah ini :

Nama : Annisa Hanifa
NIM : I0716006
Judul Tugas Akhir : Pengembangan BER Tester Pada Sistem Visible Light Communication Berbasis FPGA

Dengan ini menyatakan bahwa Tugas Akhir atau Skripsi yang saya susun tidak mencontoh atau melakukan plagiat dari karya tulis orang lain. Jika terbukti Tugas Akhir yang saya susun tersebut dinyatakan batal dan gelar sarjana yang saya peroleh dengan sendirinya dibatalkan atau dicabut.

Demikian surat pernyataan ini saya buat dengan sebenarnya dan apabila di kemudian hari terbukti melakukan kebohongan maka saya sanggup menanggung segala konsekuensinya.

Surakarta, 20 Juli 2020



Annisa Hanifa

NIM. I0716006

**HALAMAN PENGESAHAN TIM PEMBIMBING DAN TIM PENGUJI
PENGEMBANGAN BER TESTER PADA SISTEM VISIBLE LIGHT
COMMUNICATION BERBASIS FPGA**

Disusun Oleh

ANNISA HANIFA

NIM I0716006

Pembimbing 1



Muhammad Hamka I, S.T., M.Eng.
NIP. 198812292019031011

Pembimbing 2



Subuh Pramono S.T., M.T.
NIP. 198106092003121002

Telah dipertahankan di hadapan Tim Dosen Penguji pada hari Kamis tanggal 30 Juli 2020

1. **Muhammad Hamka I, S.T., M.Eng.**
NIP. 198705062019031009



2. **Subuh Pramono S.T., M.T.**
NIP. 198705062019031009



3. **Irwan Iftadi S.T., M.Eng.**
NIP. 198705062019031009

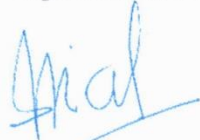


4. **Meiyanto Eko Sulistyono S.T., M.Eng.**
NIP. 198705062019031009



Mengetahui,

Kepala Prodi Teknik Elektro



Feri Adriyanto, Ph.D.
NIP. 196801161999031001

Koordinator Tugas Akhir



Muhammad Hamka I, S.T., M.Eng.
NIP. 198812292019031011

**PENGEMBANGAN BER TESETR PADA SISTEM VISIBLE LIGHT COMMUNICATION
BERBASIS FPGA**

Annisa Hanifa¹⁾

¹⁾Program Studi Teknik Elektro, Fakultas Teknik, Universitas Sebelas Maret

Email : hanifann1sa_6@student.uns.ac.id

Abstrak

Bit Error Rate (BER) merupakan perbandingan antara jumlah *bit error* dengan jumlah total bit yang dikirimkan. Pada sistem komunikasi, bagian penerima dari BER dapat dipengaruhi oleh *noise* kanal transmisi, interferensi, distorsi, masalah pada sinkronisasi bit, atenuasi, dan lain sebagainya. Teknologi *Visible Light Communication* (VLC) adalah sebuah sistem komunikasi yang memanfaatkan cahaya tampak sebagai media dalam komunikasi antar perangkat. Dengan adanya penelitian ini, manusia dapat berkomunikasi atau bertukar informasi hanya dengan cahaya lampu yang menggantikan media wireless yang menggunakan gelombang radio. Informasi yang dikirim pada sistem ini berupa data. Pada Tugas Akhir ini membahas pengembangan BER *Tester* pada sistem *Visible Light Communication* menggunakan FPGA. Dalam modul FPGA, terdapat *input* random bit yang berasal dari *pseudorandom binary sequence* (PRBS) yang *outputnya* dicabangkan berbeda melewati *block transmitter* dan *block receiver* dimana kedua *output* ini sinkron. Lalu dengan membandingkan sinyal *transmitter* dan *receiver* maka akan diketahui *Bit Error Rate* nya yang dapat dilihat melalui *output* LED dan 7-segmen pada FPGA.

Kata kunci : BER, VLC, FPGA, PRBS.

**DEVELOPMENT OF BER TESTER ON VISIBLE LIGHT COMMUNICATION SYSTEM
BASED ON FPGA**

Annisa Hanifa¹⁾

¹⁾Program Studi Teknik Elektro, Fakultas Teknik, Universitas Sebelas Maret

Email : hanifann1sa_6@student.uns.ac.id

Abstract

Bit Error Rate (BER) is the ratio between the number of error bits and the number of bits sent. In the communication system, the receiver part of the BER can be relied on by the transmission channel noise, interference, distortion, problems in the problem, attenuation, and others. Visible Light Communication (VLC) technology is a communication system that utilizes visible light as a communication medium between devices. With this research, humans can communicate or exchange information only with light that replaces wireless media that uses radio waves. The information sent to this system is in the form of data. This final project discusses the development of BER Tester in Visible Light Communication system using FPGA. In the FPGA module, there is a random input bit originating from the pseudorandom sequence binary (PRBS) whose output is branched differently through the block transmitter and receiver blocks where these two outputs are synchronous. Then by comparing the transmitter and receiver signals, the Bit Error Rate will be known which can be seen through the LED and 7-segment outputs of the FPGA.

Keywords: BER, VLC, FPGA, PRBS.

KATA PENGANTAR

Puji dan syukur kepada Tuhan Yang Maha Esa, karena atas anugerah dan petunjuk-Nya penulis dapat menyelesaikan penyusunan skripsi yang berjudul “Pengembangan BER *Tester* pada Sistem *Visible Light Communication* Berbasis FPGA”.

Dalam menyelesaikan tugas akhir ini penulis juga mendapati kendala dan hambatan yang telah mendapat bantuan dan bimbingan dari berbagai pihak. Oleh karena itu, penulis ingin mengucapkan terimakasih kepada :

1. Keluarga tercinta khususnya ayah saya Munadi, ibu saya Arief Supriastuti, dan adik saya Abdul Ro’uf Romadhon yang selalu memberikan motivasi dan semangat serta doa restu sehingga penulisan tugas akhir ini dapat terselesaikan.
2. Bapak Muhammad Hamka Ibrahim, S.T., M.Eng. selaku pembimbing I yang selalu sabar dan setia memberikan dukungan, ide, arahan, bimbingan, dan motivasi selama perkuliahan di Teknik Elektro UNS, khususnya selama mengerjakan skripsi ini hingga selesai.
3. Bapak Subuh Pramono, S.T.,M.T.,IPM. selaku Pembimbing Akademik dan Pembimbing II yang selalu setia memberikan dukungan, ide, arahan, bimbingan, dan motivasi selama masa perkuliahan di Teknik Elektro UNS dan selama pengerjaan tugas akhir ini.
4. Bapak selaku Irwan Iftadi S.T., M.Eng. Dosen Penguji dan Dosen Pembimbing KP yang telah memberikan dukungan, ide, arahan, bimbingan, dan motivasi selama menjalani masa perkuliahan selama kurang lebih 4 tahun ini.
5. Bapak Meiyanto Eko Sulistyono S.T., M.Eng. Dosen Penguji dan Dosen Pembimbing KP yang telah memberikan dukungan, ide, arahan, bimbingan, dan motivasi selama menjalani masa perkuliahan selama kurang lebih 4 tahun ini.
6. Bapak Feri Adriyanto, Ph.D. selaku Kepala Program Studi Teknik Elektro yang telah memberikan ide, saran, arahan, bimbingan, dan motivasi selama mengerjakan tugas akhir ini hingga selesai.
7. Seluruh Dosen dan Staff Program Studi Teknik Elektro yang telah memberikan ilmu yang bermanfaat, motivasi, dan inspirasi yang luar biasa selama menjalani masa perkuliahan selama kurang lebih 4 tahun ini.

8. Miftahuddin Irfani sebagai partner selama di SIE dan yang telah membantu menyelesaikan tugas akhir ini.
9. Seluruh teman-teman Teknik Elektro terutama angkatan 2016 terkhusus Wiwik, Yudhi, Nanda, Royani, dan yang lain yang tidak bisa disebutkan satu persatu yang telah sama-sama berjuang, memberikan semangat, bantuan, dan kenangan dari awal masuk masa perkuliahan.

Surakarta, 20 Juli 2020



Annisa Hanifa

I0716006

DAFTAR ISI

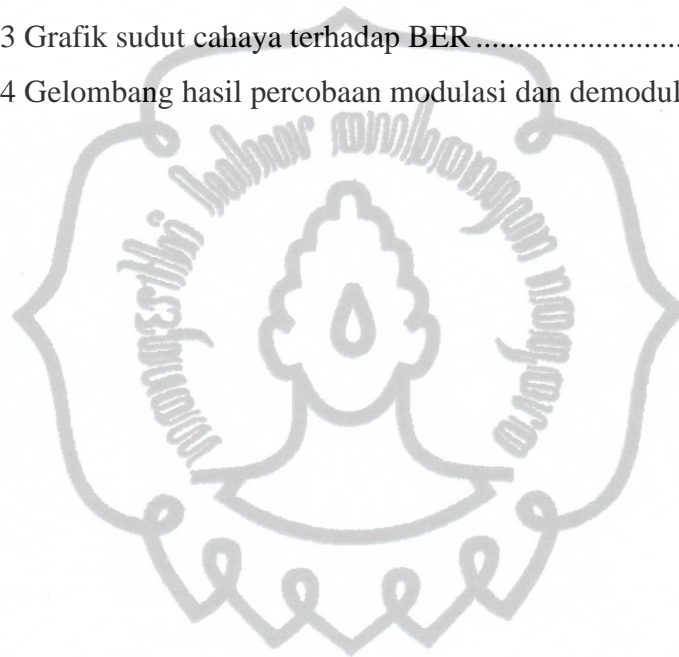
Abstrak	v
Abstract	vi
KATA PENGANTAR	vii
DAFTAR ISI	ix
DAFTAR GAMBAR	xi
DAFTAR TABEL	xiii
BAB I PENDAHULUAN	1
1.1 Latar Belakang	1
1.2 Rumusan Masalah	3
1.3 Tujuan Penelitian	3
1.4 Manfaat Penelitian	3
1.5 Sistematika Penulisan	4
BAB II TINJAUAN PUSTAKA	5
2.1 Penelitian Sebelumnya	5
2.2 <i>Visible Light Communication</i>	5
2.3 <i>Field-Programmable Gate-Array (FPGA)</i>	13
2.4 <i>Variable Pulse Position Modulation (VPPM)</i>	15
2.5 <i>Bit Error Rate (BER)</i>	18
2.6 <i>Pseudorandom Binary Sequence (PRBS)</i>	20
2.7 <i>First In First Out</i>	21
BAB III METODOLOGI PENELITIAN	23
3.1 Jenis dan Lokasi Penelitian	23
3.2 Alur Penelitian	23
3.3 Instrumen Penelitian	25

3.4	Perancangan dan Pembuatan <i>Block Visible Light Communication</i>	25
3.4.1	Mengatur Frekuensi PLL	25
3.4.2	<i>Pseudorandom Binary Sequence (PRBS)</i>	26
3.4.3	Modulasi.....	27
3.4.4	Demodulasi	28
3.4.5	First in First Out	30
3.4.6	<i>Error generator</i>	31
3.5	Perancangan dan Pembuatan <i>Block Bit Error Rate (BER)</i>	33
3.6	Menentukan Karakteristik Analog VLC	34
BAB IV HASIL DAN PEMBAHASAN		36
4.1	Hasil Simulasi Modulasi dan Demodulasi pada ModelSIM	36
4.2	Hasil Integrasi BER menggunakan <i>Error generator</i>	36
4.3	Hasil Integrasi BER dengan <i>Analog Front-End</i> pada Quartus.....	42
4.4	Hasil <i>Output</i> Implementasi Hasil Sinyal Modulasi dan Demodulasi.....	49
BAB V KESIMPULAN DAN SARAN.....		50
5.1	Kesimpulan.....	50
5.2	Saran.....	50
DAFTAR PUSTAKA		51

DAFTAR GAMBAR

Gambar 2.1 Struktur dasar perangkat sistem VLC	7
Gambar 2.2 FPGA Cyclone IV DE2-115	14
Gambar 2.5 Contoh pengoperasian VPPM dalam kasus tingkat peredupan 75%	16
Gambar 2.6 Struktur yang diusulkan dari sistem VLC berdasarkan VPPM.....	16
Gambar 2.5 Contoh grafik BER.....	18
Gambar 2.6 BER Basic Test Setup	19
Gambar 2.7 (a) Gerbang OR-eksklusif; (b) Simbol gerbang logika XOR.....	20
Gambar 2.8 <i>Block</i> diagram PRBS	20
Gambar 2.9 LFSR pada PRBS	21
Gambar 2.10 Usulan FIFO asinkron sirkuler	22
Gambar 3.1 Diagram Alur Penelitian Sistem.....	24
Gambar 3.2 Skema Alur Kerja Sistem.....	24
Gambar 3.3 (a) <i>Setting PLL clock</i> (b) Blok <i>PLL clock</i> dan <i>LPMCounter</i>	26
Gambar 3.4 Pembuatan program dan <i>block</i> PRBS	27
Gambar 3.5 <i>RTL Viewer</i> PRBS	27
Gambar 3.6 Pembuatan (a) program <i>block</i> modulasi dan (b) <i>block</i> Modulasi.....	28
Gambar 3.7 <i>RTL Viewer</i> Modulasi.....	28
Gambar 3.8 Pembuatan (a) program demodulasi dan (b) <i>block</i> demodulasi	29
Gambar 3.9 <i>RTL Viewer</i> Demodulasi.....	29
Gambar 3.10 Pembuatan (a) program FIFO dan (b) <i>block</i> FIFO.....	30
Gambar 3.11 <i>RTL Viewer</i> FIFO <i>Delay</i>	31
Gambar 3.12 Pembuatan (a) program <i>Error generator</i> dan (b) <i>block Error generator</i>	32
Gambar 3.13 <i>RTL Viewer Error generator</i>	32
Gambar 3.14 Pembuatan (a) program BER dan (b) <i>block</i> BER	33
Gambar 3.15 <i>RTL Viewer</i> BER	33
Gambar 4.1 Hasil simulasi pada ModelSIM	36
Gambar 4.2 <i>Interface</i> pada Quartus	36
Gambar 4.3 Implementasi pada FPGA	37
Gambar 4.4 Grafik Nilai <i>Dimming</i> Terhadap BER.....	38

Gambar 4.5 <i>Delay</i> (a) 0, (b) 4, (c) 8, (d) 15	39
Gambar 4.6 Grafik Nilai <i>Delay</i> terhadap BER	40
Gambar 4.7 Grafik Nilai <i>Error generator</i> terhadap BER	40
Gambar 4.8 <i>Interface</i> pada Quartus	42
Gambar 4.9 Prototype <i>Hardware</i>	43
Gambar 4.10 Grafik nilai Frekuensi <i>clock</i> terhadap BER	44
Gambar 4.11 Grafik nilai <i>Dimming</i> terhadap BER	45
Gambar 4.12 Grafik jarak terhadap BER	46
Gambar 4.13 Grafik sudut cahaya terhadap BER	47
Gambar 4.14 Gelombang hasil percobaan modulasi dan demodulasi	49



DAFTAR TABEL

Tabel 2.1 Perbedaan Penelitian Sebelumnya dengan Tugas Akhir Penulis.....	8
Tabel 2.2 Perbandingan teknologi <i>short-range</i> RF (NFC dan BLE) terhadap VLC, diambil dari [16] [17]	11
Tabel 2.3 Tabel Kebenaran Gerbang XOR	20
Tabel 2.4 Variasi panjang sekuensial PRBS [24]	21
Tabel 3.1 Tabel Kebenaran Logika XOR	34
Tabel 3.2 Parameter <i>Analog Front-End</i> (AFE) VLC yang Diinginkan.....	34
Tabel 4.1 Pengaruh Nilai <i>Dimming</i> terhadap BER.....	38
Tabel 4.2 Pengaruh Nilai <i>Delay</i> terhadap BER	40
Tabel 4.3 Hasil Pengamatan dengan <i>Input Error generator</i>	41
Tabel 4.4 Pengaruh frekuensi <i>clock</i> terhadap nilai BER.....	44
Tabel 4.5 Pengaruh nilai <i>dimming</i> terhadap nilai BER.....	45
Tabel 4.6 Pengaruh jarak terhadap nilai BER.....	47
Tabel 4.7 Pengaruh sudut cahaya terhadap nilai BER.....	48

